

INTERRUPT CONTROL CIRCUIT

Patent number: JP3097036
Publication date: 1991-04-23
Inventor: WADA TETSUO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G06F11/267; G06F13/26; G06F11/267; G06F13/20;
(IPC1-7): G06F9/46; G06F11/22
- european: G06F11/267N; G06F13/26
Application number: JP19890234956 19890911
Priority number(s): JP19890234956 19890911

Also published as:



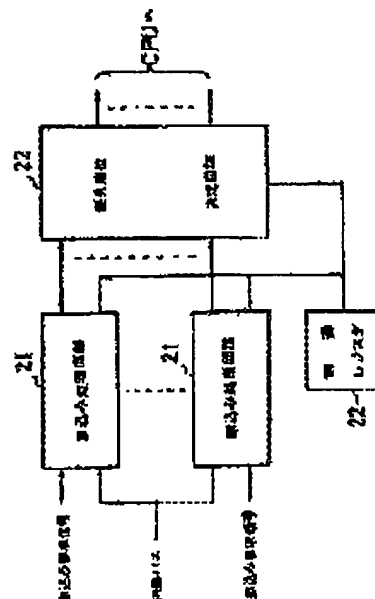
EP0417748 (A2)

EP0417748 (A3)

Report a data error here

Abstract of JP3097036

PURPOSE: To facilitate check by determining priority levels of interrupt request signals held in plural request holding means and setting held contents based on the signal on an internal bus at the time of holding check mode information.
CONSTITUTION: Plural request holding means 21 are provided which hold respective interrupt request signals from plural interrupt request objects and can set held contents in accordance with the signal on the internal bus. A priority level determining means 22 which determines the priority level of the interrupt request signal held in each request holding means 21, a mode information holding means 22 which holds mode information for distinction between the normal operation mode and the check mode, and a control means which sets held contents of request holding means 21 based on the signal on the internal bus are provided. Thus, held contents of request holding means 21 are freely set independently of interrupt requests from plural interrupt request objects.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-97036

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月23日

G 08 F 9/46
11/223 2 1
3 4 0 Z8945-5B
7343-5B

審査請求 有 請求項の数 2 (全6頁)

⑭ 発明の名称 割込み制御回路

⑮ 特 願 2000-000000

⑯ 出 願 平1(1989)9月11日

⑰ 発 明 者 和 田 哲 郎 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内
⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外 3 名

明 細 書

1. 発明の名称

割込み制御回路

2. 特許請求の範囲

(1) 複数の割込み要求対象からの各割込み要求信号をそれぞれ保持すると共に、内部バス上の信号に応じて保持内容が設定可能な複数の要求保持手段と、

上記複数の各要求保持手段で保持された割込み要求信号の優先順位を決定する優先順位決定手段と、

通常の動作モード及び検査モードとを区別するためのモード情報を保持するモード情報保持手段と、

上記モード情報保持手段で検査モード情報が保持されている際に、上記要求保持手段の保持内容を上記内部バス上の信号に基づいて設定させる制御手段と

を具備したことを特徴とする割込み制御回路。

(2) 複数の割込み要求対象からの各割込み要

求信号をそれぞれ保持する複数の第1要求保持手段と、

それぞれ内部バス上の信号に応じて保持内容が設定可能な複数の第2要求保持手段と、

上記複数の第1各要求保持手段もしくは複数の第2各要求保持手段で保持された割込み要求信号の優先順位を決定する優先順位決定手段と、

通常の動作モード及び検査モードとを区別するためのモード情報を保持するモード情報保持手段と、

上記モード情報保持手段で検査モード情報が保持されている際には、上記複数の第2要求保持手段のみの動作を可能にさせる制御手段とを具備したことを特徴とする割込み制御回路。

3. 発明の詳細な説明

〔発明の目的〕

(従来の利用分野)

この発明は1チップ・マイクロコンピュータに内蔵される割込み制御回路に係り、特にその検査が容易に行えるような割込み制御回路に関する。